

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-084243
 (43)Date of publication of application : 17.03.1992

(51)Int.Cl. G06F 12/08
 G06F 9/46

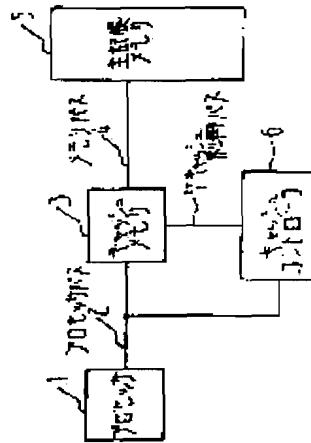
(21)Application number : 02-198874 (71)Applicant : NEC CORP
 (22)Date of filing : 26.07.1990 (72)Inventor : IIJIMA AKIO

(54) DATA ARRANGEMENT CONTROL SYSTEM FOR CACHE MEMORY

(57)Abstract:

PURPOSE: To improve the performance of a real time processing processor by permitting the processor to supervise the priority level of an interruption processing and that of a task in the middle of the processing and to control data of high priority in such a way that it is preferentially remained in cache memory.

CONSTITUTION: For improving the speed of the access of the processor to data stored on a main storage memory 5, the cache memory 3 which can access at high speed is prepared between the main storage memory 5 and the processor 1 and data on the main storage memory 5, whose access frequency is high, is dynamically arranged on the cache memory 3. When the processor 1 accesses to the main storage memory 5, an address is checked. When data on the address exists on the cache memory 3, data on the cache memory 3 is arrangement-controlled so that data on the cache memory 3 is accessed instead of the main storage memory 5. The processor 1 supervises the priority level of the interruption processing in the middle of execution and that of the task in the middle of the processing and preferentially leaves data of high priority on the cache memory as against data accessed in the middle of the processing of data whose priority level is low.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]
[Date of extinction of right]

⑯日本国特許庁 (JP)

⑮特許出願公開

⑰公開特許公報 (A)

平4-84243

⑯Int.Cl.⁵

G 06 F 12/08
9/46

識別記号 庁内整理番号

310 Z 7232-5B
340 B 8120-5B

⑯公開 平成4年(1992)3月17日

審査請求 未請求 請求項の数 1 (全4頁)

⑯発明の名称 キャッシュメモリのデータ配置制御方式

⑰特 願 平2-198874

⑰出 願 平2(1990)7月26日

⑯発明者 飯島 明夫 東京都港区芝5丁目7番1号 日本電気株式会社内

⑯出願人 日本電気株式会社 東京都港区芝5丁目7番1号

⑯代理人 弁理士 内原 晋

明細書

発明の名称

キャッシュメモリのデータ配置制御方式

特許請求の範囲

主記憶メモリ上に記憶されているデータへのプロセッサのアクセスを高速化するために、主記憶メモリとプロセッサとの間に高速アクセス可能なキャッシュメモリを用意し、アクセス頻度の高い主記憶メモリ上のデータを動的にキャッシュメモリに配置し、プロセッサの主記憶メモリアクセス時にアドレスをチェックしキャッシュメモリ上に該アドレスのデータが存在する場合は、主記憶メモリの代りにキャッシュメモリ上のデータをアクセスさせるキャッシュメモリのデータ配置制御方式において、前記プロセッサにより実行中の割込み処理の優先レベル及び処理中のタスクの優先レベルを監視する手段と、各データの優先度を示す値を各データのアドレスとともに記憶する手段

と、前記各データの優先度の値と各データのアクセス状況とに基づいて前記主記憶メモリ上のデータの前記キャッシュメモリ上への配置を制御する手段とを有し、優先度の低いレベルの処理中にアクセスされたデータに対し優先度の高いレベルの処理中にアクセスされたデータを優先的に前記キャッシュメモリ上に残すことを特徴とするキャッシュメモリのデータ配置制御方式。

発明の詳細な説明

〔産業上の利用分野〕

本発明はキャッシュメモリのデータ配置制御方式に関し、特にリアルタイム処理プロセッサ向けの優先度の高い割込み処理、タスク処理中のプログラム及びデータを優先度にキャッシュメモリ上に配置する方式に関する。

〔従来の技術〕

従来、キャッシュメモリのデータ配置制御方式は、プロセッサが主記憶メモリ上のデータアクセスの際にそのアドレスをチェックし、該アドレス

のデータがキャッシュメモリ上にある場合は、キャッシュメモリ上からプロセッサにデータを読み出し、また該データがキャッシュメモリ上に無い場合には、主記憶メモリ上からデータを読み出しプロセッサに送ると同時に該データをキャッシュメモリ上に書き込む方式をとっており、その際キャッシュメモリ上に該データの書き込み可能なエリアが無い場合には、最も最近アクセスされていないデータを選択し、キャッシュメモリ上から追い出し、新しいデータの書き込みを行なう方式や、書き込んだ順に追い出して行く方式や、隨時に選択したブロックと書き換える方式をとっている。

〔発明が解決しようとする課題〕

上述した従来のキャッシュメモリのデータ配置制御方式は、すべてのデータが同じ優先度においてキャッシュメモリへの配置が行なわれる方式となっているので、複数レベルの優先度を持つ割込み処理やタスクの実行により処理される通信や機器制御用のリアルタイム処理の実行においては、

システムの処理能力の向上に対して実質上最も高速処理が要求されている割込み処理や優先度の高いタスク処理が、処理の実行頻度や処理プログラム及び処理にアクセスされるデータの局所性が低いために、キャッシュメモリ上に残っている確率が低く有効にキャッシュが動作しないという場合がある。

〔課題を解決するための手段〕

本発明のキャッシュメモリのデータ配置制御方式は、主記憶メモリ上に記憶されているデータへのプロセッサのアクセスを高速化するために、主記憶メモリとプロセッサとの間に高速アクセス可能なキャッシュメモリを用意し、アクセス頻度の高い主記憶メモリ上のデータを動的にキャッシュメモリに配置し、プロセッサの主記憶メモリアクセス時にアドレスをチェックしキャッシュメモリ上に該アドレスのデータが存在する場合は、主記憶メモリの代りにキャッシュメモリ上のデータをアクセスさせるキャッシュメモリのデータ配置制御方式において、前記プロセッサにより実行中の

割込み処理の優先レベル及び処理中のタスクの優先レベルを監視する手段と、各データの優先度を示す値を各データのアドレスとともに記憶する手段と、前記各データの優先度の値と各データのアクセス状況とに基づいて前記主記憶メモリ上のデータの前記キャッシュメモリ上への配置を制御する手段とを有し、優先度の低いレベルの処理中にアクセスされたデータに対し優先度の高いレベルの処理中にアクセスされたデータを優先的に前記キャッシュメモリ上に残す構成である。

〔実施例〕

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例のブロック図である。プロセッサ1に、キャッシュメモリ3とキャッシュメモリ3を制御するキャッシュコントローラ6とが、プロセッサバス2を介して接続される。主記憶メモリ5はメモリバス4を介してキャッシュメモリ3に接続され、キャッシュメモリ3とキャッシュコントローラ6間はキャッシュ制御

バス7により接続されている。

次に動作を説明する。

プロセッサ1がメモリ上のデータの読み出し動作を実行すると、キャッシュコントローラ6は、プロセッサバス2に出力されたアドレスをチェックし該アドレスのデータがキャッシュメモリ3上に存在するか否かを判断し、キャッシュメモリ3上にある場合は、ただちに該データをキャッシュメモリ3から読み出しプロセッサ1に転送とともに、キャッシュコントローラ6の保持している該データのアクセス状況をアップデートする。プロセッサ1が読み出そうとしたデータがキャッシュメモリ3上に無い場合は、キャッシュコントローラ6は、主記憶メモリ5からデータを読み出しプロセッサ1に転送すると同時に、キャッシュメモリ3上に該データの収容される空きエリアがある場合はその空きエリアに書き込み、また該データの収容される空きエリアが無い場合は、プロセッサバス2に出力されたステータス情報から判断される該データの優先レベルの値またはあらか

じめアロセッサ1からキャッシュコントローラ6に通知されている該データの優先レベルの値と、キャッシュメモリ3上の該データが収容されるべきメモリエリア中に現在記憶されている各データの優先レベル及びアクセス状況とをもとに、該データをキャッシュメモリ3上に現在キャッシュメモリ3上にあるデータを消去して書き換えるか否かを、また書き換える際は、現在キャッシュメモリ3上にあるデータの内どのデータを書き換えるかを定められたアルゴリズムに従って判断する。該データのキャッシュメモリ3への書き込みが有効と判断された場合は、該データの値とともにアドレス及び該データの優先レベルがキャッシュメモリ3又はキャッシュコントローラ6に書き込まれる。

優先レベルの値はあらかじめタスクの切換時に参照される主記憶メモリ5上のタスクコントロールテーブルに設定された該タスクの優先レベルの値を、タスク切換時にアロセッサ1内のレジスタに読み込みその値をアロセッサバス2上に出力

メモリ3内に空きエリアがない場合には該データの $k \times p$ の値とキャッシュメモリ3内の各データのバラメータ値を比較し、 $k \times p$ より小さいものがあればその内の最小の値のものをキャッシュメモリ3から追い出し新しいデータをキャッシュメモリ3内に書き込む。 $k \times p$ より小さいバラメータを有するデータが無い場合はキャッシュメモリ3には書き込まない。

上記のアルゴリズムを適用することによりデータの優先レベルとアクセス頻度の高いデータが優先的にキャッシュメモリ3内に残るように制御可能となる。

〔発明の効果〕

以上説明したように本発明は、アロセッサが実行中の割込み処理の優先レベル及び処理中のタスクの優先レベルを監視し、かつキャッシュメモリ内にデータを収容する際に各データの優先度をデータ、アドレス値とともに記憶しておき、キャッシュメモリのデータの書き換えを行なう際に上記各データの優先度及びアクセス頻度、アクセス順

する方式、またはタスク切換時にアロセッサ1がプログラムに従いキャッシュコントローラ6に書き込む方式がとられる。

次にキャッシュメモリ3内のデータと主記憶メモリ5内のデータの書き換えを制御するアルゴリズムの一実施例について述べる。

キャッシュコントローラ6は以下のルールに従い、各データに付けられたバラメータを更新していく。

- (1) キャッシュメモリ3がヒットした場合は該データのバラメータを+1する。
- (2) 一定時間間隔(システムごとに最適な値を定める。)にキャッシュメモリ3内の前データのバラメータを-1する。
- (3) キャッシュメモリ3に新しく書き込むデータについては、そのデータの優先レベル p に対して $k \times p$ (k は計数でシステムごとに最適な値を定める。)の値をバラメータに設定する。

キャッシュメモリ3がヒットせず又、キャッシ

序等の各データのアクセス状況の比較を行ない、優先度の高いデータをキャッシュメモリ内に優先的に残す制御を行なうことにより、リアルタイム処理アロセッサにおいて、実質上システムの処理能力を決定する優先レベルの高い割込み処理や優先タスクの処理時にアクセスされるプログラム、データのキャッシュ存在確率を高め、リアルタイム処理能力を高めることができる効果がある。

図面の簡単な説明

第1図は本発明の一実施例のブロック図である。

1…アロセッサ、2…アロセッサバス、3…キャッシュメモリ、4…メモリバス、5…主記憶メモリ、6…キャッシュコントローラ、7…キャッシュ制御バス。

代理人 弁理士 内原晋

第1図

